

(3) Japanese Patent Application Laid-Open No. 2002-100680:

**“PROCESS OF MANUFACTURING CAPACTOR INSIDE INTEGRATED CIRCUIT”**

(corresponds to United States Patent Application Publication No. 2002/022333)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-100680

(P2002-100680A)

(43) 公開日 平成14年4月5日 (2002.4.5)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/822  
27/04

識別記号

F I

H 0 1 L 27/04

テーマコード(参考)

C 5 F 0 3 8

審査請求 未請求 請求項の数10 OL (全 8 頁)

(21) 出願番号 特願2001-212949(P2001-212949)

(22) 出願日 平成13年7月13日 (2001.7.13)

(31) 優先権主張番号 0 0 1 0 7 2 7

(32) 優先日 平成12年8月18日 (2000.8.18)

(33) 優先権主張国 フランス (FR)

(71) 出願人 398048925

エスティマイクロエレクトロニクス エス  
エー

フランス、エフ92120、モンルージュ、ブ  
ールヴァール・ロマン・ロラン 29

(71) 出願人 500129432

コミサリヤ・ア・エナジー・アトミック  
COMMISSARIAT A L' EN  
ERGIE ATOMIQUE

フランス エフ-75015パリ、ルー・ド  
ウ・ラ・フェデラシオン 31-33

(74) 代理人 100081721

弁理士 岡田 次生 (外2名)

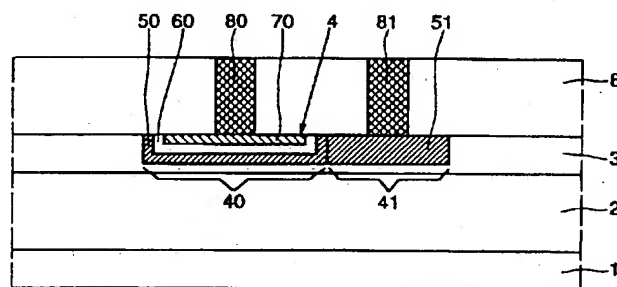
最終頁に続く

(54) 【発明の名称】 集積回路内部のキャパシタを製造するプロセス

(57) 【要約】

【課題】 集積回路におけるキャパシタの製造プロセスを提供することを目的とする。

【解決手段】 このキャパシタの製造は、所与のメタライゼーション段に関連するトラック間絶縁層の少なくとも一部において、一方でキャパシタの2つの電極と誘電層を製造し、他方でキャパシタの下部電極を側方に広げる導電性溝を同時に製造することを含み、この導電性溝は、上部電極から電氣的に絶縁され、キャパシタの横断方向の寸法より小さな横断方向の寸法を有する。さらに、このキャパシタの製造は、前記トラック間絶縁層を覆うレベル間絶縁層において、キャパシタの上部電極と前記導電性溝とにそれぞれ接触するようになる2つの導電性パッドを製造することを含む。



## 【特許請求の範囲】

【請求項1】 レベル間絶 層によって相互に分離されたいくつかのメタライゼーション段および同じメタライゼーション段のトラックをそれぞれ分離するトラック間絶 層を製造するステップと、誘電層によって相互に分離された下部電極および上部電極を含む少なくとも1つのキャパシタを製造するステップと、を含む集積回路の製造プロセスであって、

所与のメタライゼーション段に関連するトラック間絶縁層(3)の少なくとも一部において、一方でキャパシタの2つの電極(50、70)および誘電層(60)を製造し、他方でキャパシタの下部電極を側方に広げる導電性溝(41)を同時に製造するステップを含み、該導電性溝が、前記上部電極から電気的に絶縁され、キャパシタの横断方向寸法より小さな横断方向寸法を有し、前記トラック間絶縁層を覆うレベル間絶縁層(8)において、前記キャパシタの上部電極および導電性溝のそれぞれに接触することになる2つの導電性パッド(80、81)を製造するステップと、を含む集積回路の製造プロセス。

【請求項2】 前記キャパシタおよび前記溝の製造は、

- a) レベル間絶縁層(2)上に前記トラック間絶縁層(3)を形成するステップと、
- b) 前記溝(41)によって側方に広げられた主要部(40)を有するキャビティ(4)を形成するよう、前記トラック間絶縁層の少なくとも一部をエッチングするステップと、
- c) 前記ステップb)において得られた構造上に第1の導電性材料の第1の層(5)を形成し、該第1の層(5)上に誘電体の層(6)を形成するステップと、
- d) 前記キャビティの主要部を充填するよう、前記誘電層上に第2の導電性材料の第2の層(7)を形成するステップと、を含み、前記溝の寸法および前記第1の層(5)および該誘電層の厚さは、ステップd)の後で少なくとも前記第1の導電性材料を含むが前記第2の導電性材料を含まない該溝が得られるよう選択され、
- e) ステップc)およびd)において形成された積層スタックを化学機械研磨するステップと、を含み、それにより、前記キャビティの主要部において、キャビティの内壁を覆う第1の層の残留部(50)から形成された下部電極および第2の層の残留部(70)から形成された上部電極を有する前記キャパシタが残り、該上部電極が誘電層の残留部(60)によって前記第1の層の残留部から分離され、前記溝(41)において、前記第2の層の残留部をなくして少なくとも溝の内壁を覆う前記第1の層の別の残留部(51)が残る、請求項1に記載のプロセス。

【請求項3】 前記第1の導電性層および誘電層がステップc)において、コンフォーマル・コーティングによって形成され、

前記溝の幅(LT)が前記第1の導電性層の厚さ

( $e_5$ )の少なくとも2倍で、該第1の導電性層の厚さ( $e_5$ )と前記誘電層の厚さ( $e_6$ )との総和の2倍より小さい、請求項2に記載のプロセス。

【請求項4】 前記溝(41)が前記第1の電極を形成する導電性材料だけを含む請求項1から3のいずれかに記載のプロセス。

【請求項5】 前記所与のメタライゼーション段のトラック(90)が前記キャパシタの上部電極の形成と同時に生成される請求項1から4のいずれかに記載のプロセス。

【請求項6】 前記所与のメタライゼーション段のトラックの製造は、

ステップc)の後で、少なくとも1つの補助溝(9)を形成するよう、前記誘電層(6)、前記第1の導電性層(5)、および前記トラック間絶縁層(3)をエッチングするステップと、

前記1つまたは複数の溝を充填するよう、ステップd)において実行される前記第2の導電性層(7)を堆積するステップと、

前記トラック間絶縁層の表面から前記第1の導電性層、前記誘電層、および前記第2の導電性層を取り除くよう、ステップe)において実行される化学機械研 磨するステップと、を含む請求項2に記載のプロセス。

【請求項7】 レベル間絶縁層によって相互に分離されたいくつかのメタライゼーション段と、同じメタライゼーション段のトラックをそれぞれ分離するトラック間絶縁層と、誘電層によって相互に分離された下部電極および上部電極を含む少なくとも1つのキャパシタと、を含む集積回路であって、

前記キャパシタが、所与のメタライゼーション段に関連するトラック間絶縁層(3)の少なくとも一部に配置され、

上部電極から電気的に絶縁され、キャパシタの横断方向寸法より小さな横断方向寸法を有する導電性溝(41)によって、前記キャパシタの下部電極(50)が側方に広げられ、

前記トラック間絶縁層を覆うレベル間絶縁層において、キャパシタの上部電極と前記導電性溝にそれぞれ接触することになる2つの導電性パッドを含む集積回路。

【請求項8】 前記溝(41)が前記下部電極を形成する導電性材料だけを含む請求項7に記載の集積回路。

【請求項9】 前記溝(41)が前記下部電極を形成する導電性材料によってカプセル化された誘電体だけを含む請求項7に記載の集積回路。

【請求項10】 前記所与のメタライゼーション段のトラック(90)がキャパシタの上部電極を形成するのと同じ材料から形成される請求項7から9のいずれかに記載の集積回路。

【0001】

【発明の属する技術分野】本発明は集積回路製造に関連し、より詳細には「金属-金属」キャパシタに関連する。

【0002】

【従来の技術】半導体チップ（例えばシリコン・チップ）上の集積回路内部で作られる様々な種類のキャパシタの中で、それら電極の構成（composition）に応じて「多結晶シリコン-シリコン」キャパシタ、「多結晶シリコン-多結晶シリコン」キャパシタ、または「金属-金属」キャパシタが言及される。

【0003】「金属-金属」キャパシタとして知られるキャパシタ（すなわち2つの電極が金属から作られる）は、高い静電容量のキャパシタを製造することを可能にし、それらの印可電圧に依存した静電容量における変化を極めて小さくするという利点を有する。さらに、それらは非常に小さな抵抗成分を有している。したがって、「金属-金属」キャパシタは、ラジオ周波数の用途に利用されるのが有利である。

【0004】一般的に集積回路は、例えばトランジスタなどの半導体基板内部で製造される電気的コンポーネントおよび様々なメタライゼーション段（metallization level）を含み、これらのメタライゼーション段は、集積回路の様々なコンポーネント間で相互接続トラック（interconnect track；相互接続配線路）を生成することを可能にする。金属層がエッチングされた後では、メタライゼーション段のそれぞれは、この同じ段に配置されたトラック間絶縁層（intertrack insulating layer；配線路間絶縁層）によって相互に分離されるいくつかの相互接続トラックを一般に有する。隣接する2つのメタライゼーション段に配置されたトラック間の相互接続は、例えばタングステンなどの充填金属を充填した相互接続ホールによって達せられる。この相互接続ホールは、通常、本分野の当業者によって「バイアス（vias）」と呼ばれる。

【0005】集積回路内部の「金属-金属」キャパシタの既知の製造プロセスは、キャパシタの電極のうちの1つを製造すると同時に、所与のメタライゼーション段の相互接続トラックの全てを製造することからなる。この所与のメタライゼーション段上に、すぐ上のメタライゼーション段をサポートするよう意図された層間絶縁層が堆積される。キャパシタの第1の電極の上に現れるアパーチャ（開口；aperture）は、この層間絶縁層においてエッチングされ、それから、例えば一般に二酸化シリコンまたはおそらく窒化シリコンなどの薄い誘電層が堆積される。それから堆積によって典型的にはタングステンの充填金属で前記アパーチャが充填され、平坦化がその後続く。次に、すぐ上のメタライゼーション段の金属層が堆積され、このメタライゼーションの相互接続トラックおよび「金属-金属」キャパシタの第2の電極を生成

するようエッチングされる。

【0006】言い換えれば、このソリューションによれば金属-金属キャパシタの2つの電極は、2つのメタライゼーション段で生成される。

【0007】他のソリューションでは、単一の導電性段を使用して金属-金属キャパシタの2つの電極を製造する用意がなされる。

【0008】次のように、フランス特許出願番号第2766294号では、キャパシタの2つの金属電極および絶縁層は、実質的に1つのメタライゼーション段に生成され、キャパシタの下部電極は、メタライゼーション段の様々なトラック（配線路）を形成することを意図された金属層をエッチングすることによって生じる。

【0009】米国特許番号第6008083号は、2つの電極が同じレベル間絶縁層内に生成される金属-金属キャパシタの別の製造方法を開示している。しかしながら、その様なキャパシタの製造は、下部電極の生成前に下部メタライゼーション段内部に製造されて、この下部電極に接するパッド(pad)の形成を必要とする。

20 【0010】

【発明が解決しようとする課題】本発明のねらいは、単一の導電性段を使用して金属-金属キャパシタを製造することであるが、先行技術で使用されるものとは完全に異なるプロセスであり、具体的には、下部電極への接続を可能にするコンタクト・パッドの形成を第1の電極の生成前に必要としないプロセスである。

【0011】本発明の目的は、本分野の当業者に知られている用語「ダマスク」型プロセス（process of the damascene type）に互換性のある製造プロセスを提供することである。

【0012】本発明の目的は、このメタライゼーション段に属するキャパシタおよび金属トラックの製造を同じ段で可能にするプロセスを提供することでもある。

【0013】

【課題を解決するための手段】したがって、本発明の課題は、いくつかのメタライゼーション段の製造を含む集積回路を製造するプロセスであり、このメタライゼーション段は、レベル間絶縁層によって相互に分離される。この製造プロセスは、同じメタライゼーション段のトラックをそれぞれ分離するトラック間絶縁層の製造も含む。このプロセスは、誘電層によって相互に分離された下部電極および上部電極を含む少なくとも1つのキャパシタの製造も含む。

【0014】本発明の一般的特徴によれば、キャパシタの製造は、所与のメタライゼーション段に関連するトラック間絶縁層の少なくとも一部において、一方でキャパシタの誘電層を製造し、他方でキャパシタの下部電極を側方に広げる導電性溝を同時に製造することを含む。この導電性溝は、上部電極から電気的に絶縁され、キャパシタの横断方向の寸法より小さな横断方向の寸法を有す

る。

【0015】さらに、このキャパシタの製造は、前記トラック間絶縁層を覆うレベル間絶縁層において、キャパシタの上部電極および前記導電性溝にそれぞれ接触するようになる2つの導電性パッドを製造することを含む。

【0016】言い換えれば、本発明は、キャパシタおよび側方溝を同時に製造することによって、集積回路の上部からキャパシタの2つの電極の接触を提供する。したがって、本発明は、キャパシタの製造に先立って下部電極への接続のための下部接触パッドの形成を決して必要としない。

【0017】本発明に従うプロセスを実施する1つの方法によれば、キャパシタの製造および溝の製造は、

a) レベル間絶縁層上に前記トラック間絶縁層を形成するステップと、

b) 前記溝によって側方に広げられた主要部を有するキャビティを形成するよう、トラック間絶縁層の少なくとも一部をエッチングするステップと、

c) ステップb) で得られた構造に例えば銅またはアルミニウムなどの第1の導電性材料の第1の層を形成し、前記第1の層上に例えば二酸化珪素などの誘電体の層を形成するステップと、

d) 前記キャビティの主要部を充填するよう、前記誘電体層上に例えば銅またはアルミニウムなどの第2の導電性材料の第2の層を形成するステップと、を含み、ステップd) の後で、少なくとも第1の導電性材料を含むが第2の導電性材料を含まない溝（溝が誘電材料を含む可能性はある）を得るよう、溝の寸法並びに前記第1の層および前記誘電層の厚さが選択されており、

e) ステップc) およびd) において形成された積層スタックを化学機械研磨するステップを含み、それにより、キャビティの主要部において、キャビティの内壁を覆う第1の層の残留部分から形成される下部電極および前記第2の層の残留部から形成される上部電極を有するキャパシタを残し、前記第2の層の残留部が誘電層の残留部によって前記第1の層の残留部から分離され、前記溝において、前記第2の層の任意の残留部を除去して溝の内壁を少なくとも覆う前記第1の層の別の残留部を残す。

【0018】第1の導電性層および誘電層は、コンフォーマル・コーティングによってステップc) において形成される。この場合、溝の幅は、好ましくは少なくとも第1の導電性層の厚さの2倍で、かつ第1の導電性層の厚さと誘電層の厚さとの総和の2倍より小さい。

【0019】溝の寸法に応じて、後者は、第1の電極を形成する導電性材料しか含まないか、または可能性として第1の層を形成する導電性材料および誘電材料の残留部しか含まない。

【0020】本発明は、前記所与のメタライゼーション段のトラックを製造すると同時に、キャパシタの上部

電極を形成することも可能にする利点がある。

【0021】したがって、本発明を実施する1つの方法によれば、前記所与のメタライゼーション段のトラックの製造は、ステップc) の後で、少なくとも1つの補助溝（トラックの場所を定める）を形成するよう、誘電層、第1の導電性層、およびトラック間絶縁層をエッチングするステップと、1つまたは複数の前記溝を充填するよう、ステップd) において、前記第2の導電性層の堆積を実行するステップと、前記トラック間絶縁層の表面から第1の導電性層、誘電層、および第2の導電性層を除去するよう、ステップe) において化学機械研磨を実行するステップと、を含む。

【0022】本発明の課題は、相互にレベル間絶縁層によって分離されたいくつかのメタライゼーション段および同じメタライゼーション段のトラックをそれぞれ分離するトラック間絶縁層を含む集積回路でもある。集積回路は、誘電層によって相互に分離された下部電極および上部電極を含む少なくとも1つのキャパシタも含む。

【0023】本発明の一般の特徴によれば、キャパシタは、所与のメタライゼーション段に関連するトラック間絶縁層の少なくとも一部に配置される。キャパシタの下部電極は、上部電極から電氣的に絶縁され、キャパシタの横断方向寸法より小さな横断方向寸法を有する導電性溝によって側方に広げられる。集積回路は、前記トラック間絶縁層を覆うレベル間絶縁層において、キャパシタの上部電極および前記導電性溝にそれぞれ接触するようになる2つの導電性パッドも含む。

【0024】本発明による1つの実施形態によれば、溝は、前記下部電極を形成する導電性材料だけを含む。

【0025】本発明の別の実施形態では、溝は、前記下部電極を形成する導電性材料によってカプセル化された誘電体だけを含んでもよい。

【0026】しかしながら、すべての場合において、溝は、第2の電極を形成する導電性材料を含まない。

【0027】さらに、前記所与のメタライゼーション段のトラックは、キャパシタの上部電極を形成するのと同じ材料から形成されるのが有利である。

【0028】本発明のさらなる利点および特徴は、全く制限されない実施の形態および方法の詳細な説明ならびに図面を検討することで明らかになるであろう。

【0029】

【発明の実施の形態】図1（これは図2の線1-1の断面図である）において、参照番号1は、例えばトラック間誘電層によって相互に絶縁された金属トラックを含む第1のメタライゼーション段を示す。代替的バージョンでは、参照番号1は、例えばトランジスタなどを含む半導体基板を表す場合がある。

【0030】以下の文章を通じて、参照番号1が例えばメタライゼーション段M1を示すものと想定する。

【0031】このメタライゼーション段M1は、典型的

には0.5 $\mu$ m未満の厚さを有し、0.5 $\mu$ mから1 $\mu$ mの間の厚さを典型的に有するレベル間絶縁層2で覆われる。

【0032】次に、すぐ上のメタライゼーション段(すなわちメタライゼーション段M2)の金属トラックのトラック間誘電体を形成することを目的として、誘電層3がレベル間誘電層2に堆積される。

【0033】トラック間絶縁層3の一部は、溝41によって側方(laterally)に広がる主要部40を含むキャビティ4(図2の上面図に示す)を形成するようエッチングされる。

【0034】図3では、キャビティ4の深さは、トラック間絶縁層3の厚さより小さい。しかしながら、この厚さがトラック間絶縁層3の厚さ以上になれば、このキャビティは下方にある絶縁層2に部分的におよぶ。

【0035】当然、本分野の当業者は、キャビティ4の深さが深すぎないよう、特に下部メタライゼーション段M1におよばないようエッチング・パラメータをどのように調整するかを知っている。

【0036】横断方向の寸法LT、すなわち溝41の幅は、ここではキャビティ4の主要部40の横断方向の寸法LCより小さい。溝の側方の寸法LTの値がどの様に選択されるかを以下でより詳細に説明する。

【0037】残りの記述では、図3aからcは、図2の線I-Iで見られる構造を示す。一方、図4aから図4cは、図2の線IV-IVで見られる同じ構造を示す。

【0038】第1の導電性材料の第1の層5が図1および図2において示される構造上に堆積される(図3aおよび図4a)。この第1の導電性材料は、キャパシタの第1の電極の材料を形成するよう意図され、例えばアルミニウム、チタニウム、窒化チタン、窒化タンタル、その他などの金属である。

【0039】この第1の層5の厚さ $e_s$ は、典型的には約0.1 $\mu$ mであり、この第1の層は、例えば化学蒸着堆積(CVD)により堆積されたコンフォーマル・コーティング(conformal coating: 形状追従的なコーティング)によって形成される。

【0040】それから、誘電体の層6が形成され、これも第1の層5上に例えばCVDによって形成される。この誘電体層は、例えば二酸化珪素、窒化珪素、または高誘電率を有する他の任意の材料から形成される。この層6の厚さ $e_e$ は、例えば約0.1 $\mu$ mである。

【0041】次に、誘電体層6は、第2の導電性材料から形成された第2の層7で覆われる。これは、層5を形成する材料と同様であるか、または全く異なるものであってよい。

【0042】この層7(これも例えばCVDによって形成される)の厚さは、キャビティの主要部40を充填するよう選択される。

【0043】一般に、溝の寸法および特に側方の寸法LT並びに第1の層5の厚さおよび誘電体層6の厚さは、層5、6、および7が堆積された後で、第1の導電性材料5およびおそらく誘電体を含んだ溝が得られるよう選ばれる。しかしながら、第2の導電性材料7はこの溝に決して含まれない。

【0044】したがって、これらの層がコンフォーマル・コーティングにより得られる場合、溝の幅LTは、第1の層5の厚さと誘電体層6の厚さとの総和( $e_s + e_e$ )の2倍より小さくなるよう選ばれる。

【0045】図4aで示す例では、溝41が第1の導電性材料5だけで充填されるような幅LTであると想定する。

【0046】次に(図3bと図4b)、図3aと4aに示す構造が化学機械研磨(chemical-mechanical polishing)を受けて、トラック間絶縁層3の表面から第2の導電性層、誘電層および第1の導電性層が取り除かれる。

【0047】したがって、この段階で、キャビティの主要部40は、層5の残留部50で被覆され、その残留部50が誘電体層の残留部60で覆われ、その誘電体層の残留部60が第2の導電性層7の残留部70で覆われる。同様に、側方溝41は、第1の導電性層5の別の残留部51で充填される。

【0048】残留部50が結果としてキャパシタの下部電極を形成し、その一方で残留部70が上部電極を形成し、2つの電極が誘電体60によって分離される。

【0049】次に、メタライゼーション段M2のトラックを相互に絶縁することを意図して、トラック間絶縁層8が従来技術で堆積される(図3cおよび図4c)。

【0050】それから、このトラック間絶縁層8は、キャパシタの上部電極70および導電性側方溝41の上にそれぞれ現れる2つのキャビティを形成するよう局所的にエッチングされる。

【0051】これら2つのキャビティは、金属材料で充填され、これが結果として、化学機械研磨の後で導電性パッド80および81を形成する。これらは、キャパシタの上部電極70と前記導電性溝41とにそれぞれ接触することになる。

【0052】したがって、この図5は、キャパシタの2つの接触端子が上部から作られ、導電性材料51を充填された導電性溝41を介して導電性パッド81がキャパシタの下部電極に接触することを示している。

【0053】図6および図7に示す代替的な実施方法および実施形態では、側方溝410の幅LT1は、例えば、総和 $e_s + e_e$ の2倍より少し小さくなるよう選ばれ、この結果、この溝410が導電性材料5で充填されるだけでなく、誘電体6で充填されることになる。これは、最終的に、図7に示すように、キャパシタの下部電極を形成する導電性材料51によってカプセル化された誘電体61だけを含む溝410の結果となる。

【0054】本発明に従うプロセスを実施する方法の例を説明するために、図8から図11を参照する。本発明は、メタライゼーション段M2の金属トラックとキャパシタの上部電極をほとんど同時に生成することを可能にする。

【0055】この観点では、図8に示すように、層5および誘電体層6を含む積層スタック(multilayer stack)が絶縁層3上およびこの層3に作られたキャビティ4に堆積された後で、少なくとも1つの補助溝(auxiliary trench)9を形成するよう、この生成物(assembly)がエッチングされる。この補助溝9にメタライゼーション段M2の将来の金属トラックが生成される。

【0056】次に図10に示すように、キャビティの主要部40および補助溝9を同時に充填する第2の導電性層7が堆積される。

【0057】図10に示す構造を化学機械研磨し、前記トラック間絶縁層3の表面から第1の導電性層5、誘電体層6、および第2の導電性層7を除去した後で、図11に示す構造が得られる。ここで、参照番号90は、キャパシタの上部電極70の形成と同時に形成されたメタライゼーション段M2のトラックを示す。

【0058】おそらく上部メタライゼーション段M3のトラックへの接続のためにおそらくトラック90の上を介する製造と共に、残りのプロセスが先述したように実行される。

#### 【図面の簡単な説明】

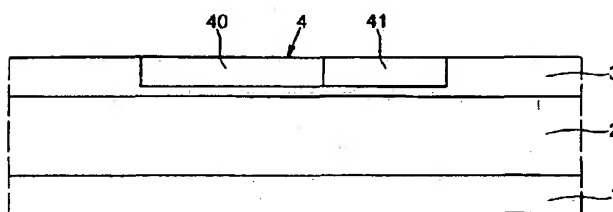
【図1】本発明に従うプロセスの第1の実施方法を示し、本発明に従うキャパシタの第1の実施形態を示す図。

【図2】本発明に従うプロセスの第1の実施方法を示し、本発明に従うキャパシタの第1の実施形態を示す図。

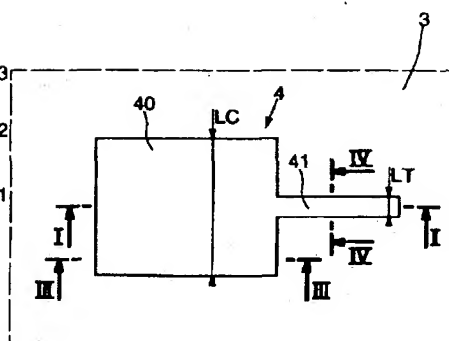
【図3】本発明に従うプロセスの第1の実施方法を示し、本発明に従うキャパシタの第1の実施形態を示す図。

【図4】本発明に従うプロセスの第1の実施方法を示す図。

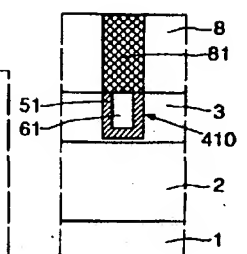
【図1】



【図2】



【図7】



し、本発明に従うキャパシタの第1の実施形態を示す図。

【図5】本発明に従うプロセスの第1の実施方法を示し、本発明に従うキャパシタの第1の実施形態を示す図。

【図6】本発明に従うプロセスの第2の実施方法を部分的に示し、誘電層を含む側方溝を示す。

【図7】本発明に従うプロセスの第2の実施方法を部分的に示し、誘電層を含む側方溝を示す。

10 【図8】キャパシタの第2の電極および対応するメタライゼーション段のトラックが同時に生成されることを可能にする本発明に従うプロセスの代替バージョンを示す。

【図9】キャパシタの第2の電極および対応するメタライゼーション段のトラックが同時に生成されることを可能にする本発明に従うプロセスの代替バージョンを示す。

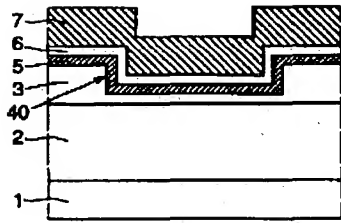
20 【図10】キャパシタの第2の電極および対応するメタライゼーション段のトラックが同時に生成されることを可能にする本発明に従うプロセスの代替バージョンを示す。

【図11】キャパシタの第2の電極および対応するメタライゼーション段のトラックが同時に生成されることを可能にする本発明に従うプロセスの代替バージョンを示す。

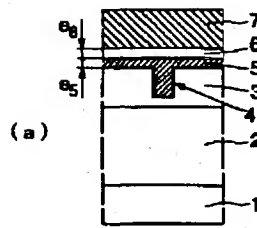
#### 【符号の説明】

- |    |               |
|----|---------------|
| 1  | 第1のメタライゼーション段 |
| 2  | レベル間絶縁層       |
| 3  | 誘電層           |
| 30 | トラック間絶縁層      |
| 40 | 主要部           |
| 50 | 層5の残留部        |
| 60 | 誘電体層の残留部      |
| 70 | 第2の導電性層の残留部   |
| 80 | 導電性パッド        |

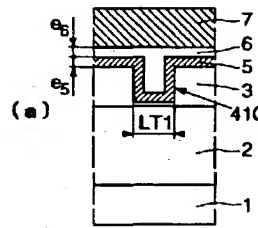
【図3】



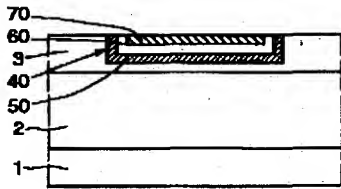
【図4】



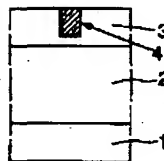
【図6】



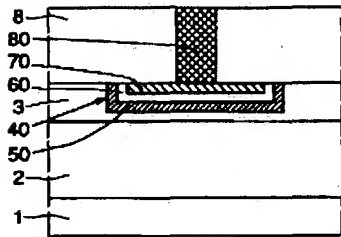
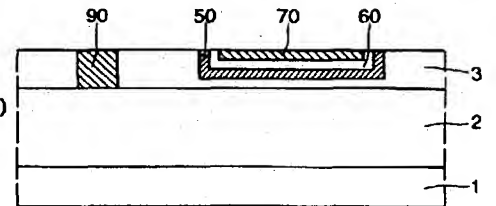
【図11】



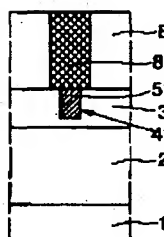
(b)



(b)

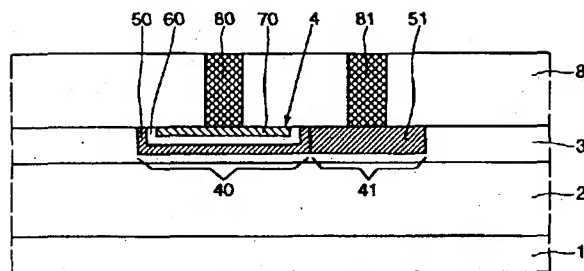


(c)

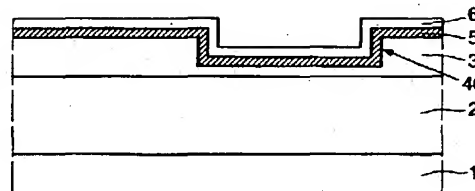


(c)

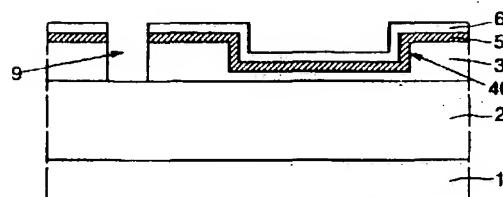
【図5】



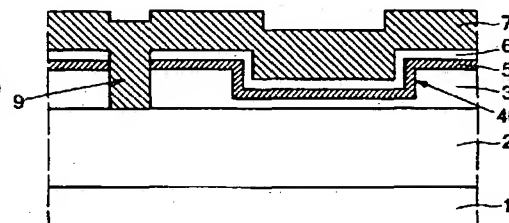
【図8】



【図9】



【図10】





フロントページの続き

(72)発明者 イブ・モラン

フランス38000グルノーブル、ルー・エ

ー・モレル 16

(72)発明者 ジャン-リュック・プロイエ

フランス38430モイラン、ルー・ロジャ

ー・デュマライ 83、ヴィラ 7

Fターム(参考) 5F038 AC02 AC10 AC17 EZ15 EZ20